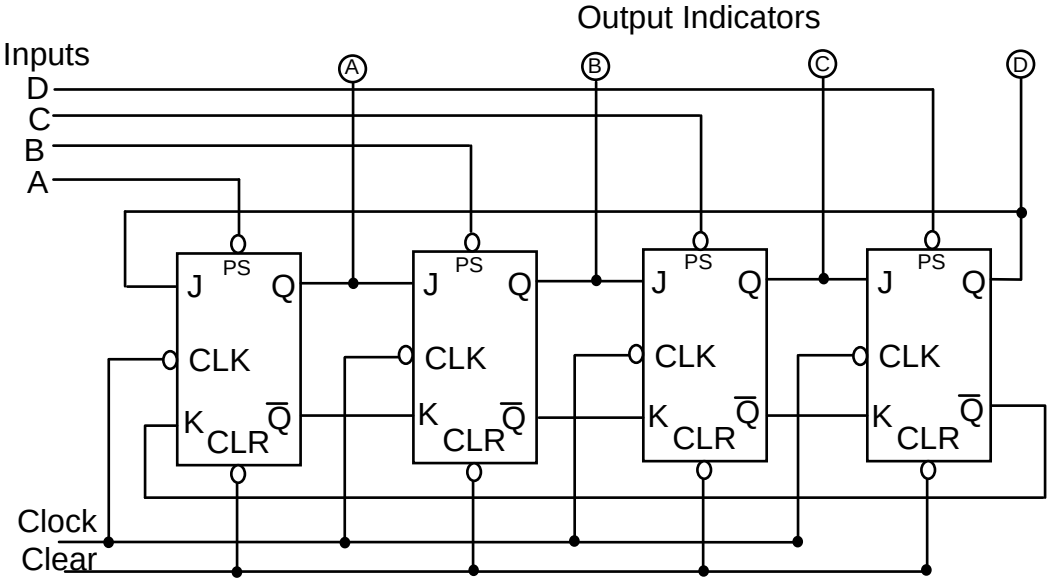
ICT Shift Register HW #2

Inputs							Outputs			
Line Number	Clear	Parallel Load Data				Clock Pulse	FF A	FF B	FF C	FF D
		A	B	C	D		A	B	C	D
1	0	I	I	I	I					
2	I	0	0	I	I					
3	I	I	I	I	I	↗				
4	I	I	I	I	I	↗				
5	I	I	I	I	I	↗				
6	I	I	I	I	I	↗				
7	0	I	I	I	I					
8	I	I	0	I	0					
9	I	I	I	I	I	↗				
10	I	I	I	I	I	↗				
11	I	I	I	I	I	↗				
12	I	I	I	I	I	↗				
13	I	I	I	I	I	↗				
14	0	I	I	I	I					
15	I	I	I	I	0					
16	I	I	I	I	I	↗				
17	I	I	I	I	0					
18	0	I	I	I	I	↗				

Use the Shift Register below to fill in the above table:



Inputs							Outputs			
Line Number	Clear	Parallel Load Data				Clock Pulse	FF A	FF B	FF C	FF D
		A	B	C	D		A	B	C	D
1	0	I	I	I	I					
2	I	0	I	I	0					
3	I	I	I	I	I	↗				
4	I	I	I	I	I	↗				
5	I	0	I	I	I					
6	I	I	I	I	I	↗				
7	I	I	I	I	I	↗				
8	0	I	I	I	I					
9	I	0	I	0	0					
10	I	I	I	I	I	↗				
11	I	I	I	I	I	↗				
12	I	I	I	I	I	↗				
13	0	I	I	I	I					
14	I	I	I	I	0					
15	I	I	I	I	I	↗				
16	I	I	I	I	I	↗				
17	I	0	I	I	0					
18	0	I	I	I	I	↗				

Use the Shift Register below to fill in the above table: